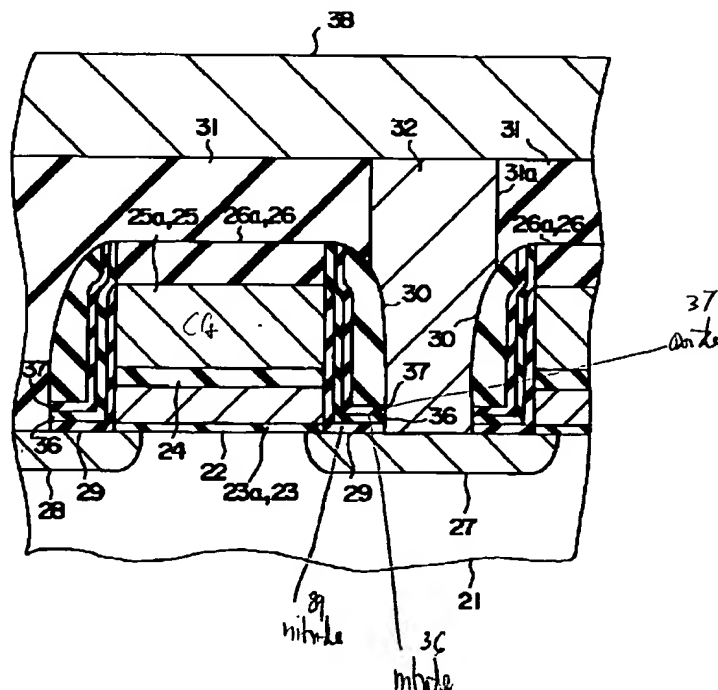


(11)特許出願公開番号

(43)公開日 平成7年(1995)6月23日



1

## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

前記半導体基板の表面上に設けられたゲート酸化膜と、  
前記ゲート酸化膜の上に設けられた浮遊ゲートと、  
前記浮遊ゲートの上に設けられた絶縁膜と、  
前記絶縁膜の上に設けられたコントロールゲートと、  
前記コントロールゲート及び前記浮遊ゲートの側壁に設けられた第1のシリコン酸化膜と、

前記第1のシリコン酸化膜の側壁に設けられた第1のシリコン窒化膜と、

前記第1のシリコン窒化膜の側壁に設けられた第2のシリコン酸化膜と、

前記第2のシリコン酸化膜の側壁に設けられた第2のシリコン窒化膜と、

前記第2のシリコン窒化膜及び前記半導体基板の上に設けられた層間絶縁膜と、

前記層間絶縁膜に、前記第2のシリコン窒化膜をエッチングのストッパーとして自己整合的に形成されたコンタクトホールと、

を具備することを特徴とする不揮発性半導体記憶装置。 20

## 【請求項2】 半導体基板と、

前記半導体基板の表面上に設けられたゲート酸化膜と、  
前記ゲート酸化膜の上に設けられた浮遊ゲートと、  
前記浮遊ゲートの上に設けられた第1の絶縁膜と、  
前記第1の絶縁膜の上に設けられたコントロールゲートと、

前記コントロールゲートの上に設けられた第2の絶縁膜と、

前記コントロールゲート及び前記浮遊ゲートの側壁に設けられた第1のシリコン酸化膜と、

前記第1のシリコン酸化膜及び前記第2の絶縁膜それぞれの側壁に設けられた第1のシリコン窒化膜と、

前記第1のシリコン窒化膜の側壁に設けられた第2のシリコン酸化膜と、

前記第2のシリコン酸化膜の側壁に設けられた第2のシリコン窒化膜と、

前記第2のシリコン窒化膜、前記第2のシリコン酸化膜及び前記半導体基板の上に設けられた第3のシリコン窒化膜と、

前記第3のシリコン窒化膜の上に設けられた層間絶縁膜と、

前記層間絶縁膜に、前記第2のシリコン窒化膜をエッチングのストッパーとして自己整合的に形成されたコンタクトホールと、

を具備することを特徴とする不揮発性半導体記憶装置。

## 【請求項3】 半導体基板と、

前記半導体基板の表面上に設けられたゲート酸化膜と、

前記ゲート酸化膜の上に設けられた浮遊ゲートと、

前記浮遊ゲートの上に設けられた絶縁膜と、

2

前記コントロールゲート及び前記浮遊ゲートの側壁に設けられた第1のシリコン酸化膜と、

前記第1のシリコン酸化膜の側壁に設けられ、トラップ準位を多く含むとともに低電界領域においてトラップ準位を介した電流が同一電界におけるシリコン酸化膜中の電流よりも大きい第1の膜と、

前記第1の膜の側壁に設けられた第2のシリコン酸化膜と、

10 前記第2のシリコン酸化膜の側壁に設けられ、トラップ準位を多く含むとともに低電界領域においてトラップ準位を介した電流が同一電界におけるシリコン酸化膜中の電流よりも大きい第2の膜と、

前記第2の膜及び前記半導体基板の上に設けられた層間絶縁膜と、

前記層間絶縁膜に、前記第2の膜をエッチングのストッパーとして自己整合的に形成されたコンタクトホールと、

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項4】 前記第2のシリコン酸化膜の膜厚は、3 nm以上であることを特徴とする請求項1、2又は3記載の不揮発性半導体記憶装置。

【請求項5】 前記第1のシリコン酸化膜の膜厚が20 nm未満である場合は、前記第2のシリコン酸化膜の膜厚を5 nm以上とすることを特徴とする請求項1、2又は3記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、不揮発性半導体記憶装置に関するもので、特に不揮発性且つ電氣的に書き換え可能なフラッシュEEPROM等の高密度で大容量の不揮発性半導体記憶装置に使用されるものである。

## 【0002】

【従来の技術】2層ゲート型の不揮発性メモリセルを微細化する場合、コントロールゲート及びフローティングゲートから構成される2層ゲート構造部とドレインコンタクトホールとの間の余裕を縮小することが重要な課題となる。そこで、ゲート電極層からドレインコンタクトホールを自己整合的に形成するいわゆるセルフアラインコンタクト技術が重要となる。

40 【0003】図3は、従来の不揮発性半導体記憶装置を示す断面図であり、代表的なセルフアラインコンタクト技術の構造を示すものである。P型シリコン基板1の表面上にはゲート酸化膜2が設けられ、このゲート酸化膜2の上には第1の多結晶シリコン層3aが堆積される。この多結晶シリコン層3aには高濃度にリンがドーパされる。前記多結晶シリコン層3aの上にはONO(Oxid e-Nitride-Oxide)絶縁膜4が設けられ、このONO絶縁膜4の上には第2の多結晶シリコン層5aが堆積される。この多結晶シリコン層5aには高濃度にリンがドー

3

トホール形成時にエッチングのストッパーとなる膜、例えば第1のシリコン窒化膜6aが堆積される。

【0004】この後、前記シリコン窒化膜6a、第1、第2の多結晶シリコン層3a、5a及びONO絶縁膜4それぞれはパターンニングされる。これにより、2層ゲートが形成される。即ち、前記ゲート酸化膜2の上には浮遊ゲート3が形成され、この浮遊ゲート3の上にはONO絶縁膜4を介してコントロールゲート電極5が形成される。このコントロールゲート電極5の上にはキャップ用シリコン窒化膜6が形成される。

【0005】次に、前記キャップ用シリコン窒化膜6をマスクとして不純物がイオン注入されることにより、前記P型シリコン基板1の表面には自己整合的にN型ドレイン拡散層7およびN型ソース拡散層8が形成される。

【0006】この後、前記浮遊ゲート3、ONO絶縁膜4及びコントロールゲート電極5それぞれの側壁にはシリコン酸化膜9が設けられる。このシリコン酸化膜9及びキャップ用シリコン窒化膜6の側壁には第2のシリコン窒化膜10が設けられる。このシリコン窒化膜10、キャップ用シリコン窒化膜6及びP型シリコン基板1の上には層間絶縁膜11が堆積される。

【0007】次に、前記層間絶縁膜11の上には図示せぬレジスト膜が設けられる。このレジスト膜をマスクとするとともに第2のシリコン窒化膜10をエッチングのストッパーとして、前記層間絶縁膜11には前記N型ドレイン拡散層7の上に位置するドレインコンタクトホール11aが自己整合的に設けられる。この後、このドレインコンタクトホール11aの内には低抵抗のWからなるコンタクトプラグ12が埋め込まれる。次に、このコンタクトプラグ12及び層間絶縁膜11の上には図示せぬ金属配線層が設けられる。

【0008】上記従来の不揮発性半導体記憶装置では、浮遊ゲート3に注入された電荷14を長期間保持しななければならない。即ち、前記浮遊ゲート3に電子14が注入された後、装置の動作上、N型ドレイン拡散層7へ長時間、正の電荷が印加されても、前記浮遊ゲート3に注入された電子14が放出されることは許されない。さらに、セクタ消去で、小さな単位で消去と書き込みを繰り返す場合は、1万秒以上の間、連続的に電圧を印加しても、前記の注入された電子が放出されることは許されない。

【0009】

【発明が解決しようとする課題】ところで、上記従来の不揮発性半導体記憶装置では、浮遊ゲート3に電子14が注入されている場合、コンタクトプラグ12に正の電圧が印加されると、比較的高い電界がシリコン酸化膜9及び第2のシリコン窒化膜10に印加される。このとき、前記シリコン窒化膜10にコンタクトプラグ12からホール13が注入され、このホール13は前記シリコ

4

の現象をトラッピングという。このトラッピングは、結果的に、浮遊ゲート3を取り囲むシリコン酸化膜9の中の電界を高くしてしまう。これにより、浮遊ゲート3に注入されている電子14が放出されることがある。この結果、この電子14が浮遊ゲートから喪失することがある。

【0010】さらに、前記シリコン酸化膜9は、高濃度にリンがドーパされた第1、第2の多結晶シリコン層3a、5aが酸化された酸化膜であるため、膜質が悪く、実効的なバリアハイトが低いものである。これと共に、浮遊ゲート3、コントロールゲート5の加工の影響およびN型ドレイン拡散層7、N型ソース拡散層8を形成する際のイオン注入工程において浮遊ゲート3の側面に叩き込まれた不純物の影響それぞれにより、前記シリコン酸化膜9は欠陥密度が高くなっている。したがって、通常のシリコン基板に形成された酸化膜と比較して、かなり低い電界においも、前記欠陥を通じて浮遊ゲート3に注入されている電子14が放出されることがある。

【0011】この発明は上記のような事情を考慮してなされたものであり、その目的は、2層ゲートの極めて近傍にコンタクトホールを形成する場合、このコンタクトホールと2層ゲートとが短絡しないようなセルフアラインとなる構造であって、長時間、装置を動作させ、電子を保持しても、この電子が浮遊ゲートから喪失することのない不揮発性半導体記憶装置を提供することにある。

【0012】

【課題を解決するための手段】この発明は、上記課題を解決するため、半導体基板と、前記半導体基板の表面上に設けられたゲート酸化膜と、前記ゲート酸化膜の上に設けられた浮遊ゲートと、前記浮遊ゲートの上に設けられた絶縁膜と、前記絶縁膜の上に設けられたコントロールゲートと、前記コントロールゲート及び前記浮遊ゲートの側壁に設けられた第1のシリコン酸化膜と、前記第1のシリコン酸化膜の側壁に設けられた第1のシリコン窒化膜と、前記第1のシリコン窒化膜の側壁に設けられた第2のシリコン酸化膜と、前記第2のシリコン酸化膜の側壁に設けられた第2のシリコン窒化膜と、前記第2のシリコン窒化膜及び前記半導体基板の上に設けられた層間絶縁膜と、前記層間絶縁膜に、前記第2のシリコン窒化膜をエッチングのストッパーとして自己整合的に形成されたコンタクトホールと、を具備することを特徴としている。

【0013】また、半導体基板と、前記半導体基板の表面上に設けられたゲート酸化膜と、前記ゲート酸化膜の上に設けられた浮遊ゲートと、前記浮遊ゲートの上に設けられた第1の絶縁膜と、前記第1の絶縁膜の上に設けられたコントロールゲートと、前記コントロールゲートの上に設けられた第2の絶縁膜と、前記コントロールゲート及び前記浮遊ゲートの側壁に設けられた第1のシリ

5

の絶縁膜それぞれの側壁に設けられた第1のシリコン窒化膜と、前記第1のシリコン窒化膜の側壁に設けられた第2のシリコン酸化膜と、前記第2のシリコン酸化膜の側壁に設けられた第2のシリコン窒化膜と、前記第2のシリコン窒化膜、前記第2のシリコン酸化膜及び前記半導体基板の上に設けられた第3のシリコン窒化膜と、前記第3のシリコン窒化膜の上に設けられた層間絶縁膜と、前記層間絶縁膜に、前記第2のシリコン窒化膜をエッチングのストッパーとして自己整合的に形成されたコンタクトホールと、を具備することを特徴としている。

【0014】また、半導体基板と、前記半導体基板の表面上に設けられたゲート酸化膜と、前記ゲート酸化膜の上に設けられた浮遊ゲートと、前記浮遊ゲートの上に設けられた絶縁膜と、前記絶縁膜の上に設けられたコントロールゲートと、前記コントロールゲート及び前記浮遊ゲートの側壁に設けられた第1のシリコン酸化膜と、前記第1のシリコン酸化膜の側壁に設けられ、トラップ準位を多く含むとともに低電界領域においてトラップ準位を介した電流が同一電界におけるシリコン酸化膜中の電流よりも大きい第1の膜と、前記第1の膜の側壁に設けられた第2のシリコン酸化膜と、前記第2のシリコン酸化膜の側壁に設けられ、トラップ準位を多く含むとともに低電界領域においてトラップ準位を介した電流が同一電界におけるシリコン酸化膜中の電流よりも大きい第2の膜と、前記第2の膜及び前記半導体基板の上に設けられた層間絶縁膜と、前記層間絶縁膜に、前記第2の膜をエッチングのストッパーとして自己整合的に形成されたコンタクトホールと、を具備することを特徴としている。

【0015】また、前記第2のシリコン酸化膜の膜厚は、3 nm以上であることを特徴としている。また、前記第1のシリコン酸化膜の膜厚が20 nm未満である場合は、前記第2のシリコン酸化膜の膜厚を5 nm以上とすることを特徴としている。

【0016】

【作用】この発明は、第1のシリコン窒化膜と第2のシリコン窒化膜との間に第2のシリコン酸化膜を設けている。したがって、浮遊ゲートに電子が注入されている場合に、埋込みプラグに正の電圧が印加され、第2のシリコン窒化膜に埋込みプラグからホールが注入され、このホールが第2のシリコン窒化膜にトラップされても、第2のシリコン酸化膜により前記ホールの第1のシリコン窒化膜への注入をブロックすることができる。この結果、浮遊ゲートを取り囲む第1のシリコン酸化膜にかかる電界を下げるため、浮遊ゲートに注入されている電子が放出されることがない。即ち、この電子が浮遊ゲートから喪失することを防止することができる。

【0017】また、第2のシリコン酸化膜の厚さを3 n

6

ているホールが第1のシリコン窒化膜に注入されるのをブロックすることができる。

【0018】また、第1のシリコン酸化膜の厚さを20 nm未満とすると、浮遊ゲートに注入されている電子が前記第1のシリコン酸化膜の欠陥から放出されることがあるから、第2のシリコン酸化膜の厚さを5 nm以上とする必要がある。これにより、第2のシリコン酸化膜でホール注入をブロックするだけでなく、浮遊ゲートからの電子の放出を防止することができる。

【0019】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1は、この発明の第1の実施例による不揮発性半導体記憶装置、即ちフラッシュメモリセルを示す断面図である。P型シリコン基板21の表面上には厚さが10 nmのゲート酸化膜22が設けられ、このゲート酸化膜22の上には厚さが100 nmである例えば第1の多結晶シリコン層23aが堆積される。この多結晶シリコン層23aには高濃度にリンがドーパされる。前記多結晶シリコン層23aの上にはONO絶縁膜24が設けられ、このONO絶縁膜24は3層構造絶縁膜により構成されている。このONO絶縁膜24は、上層が厚さが4 nmのトップ酸化膜、下層が厚さが10 nmの下層酸化膜、中間層が厚さが10 nmのシリコン窒化膜により形成されている。前記ONO絶縁膜24の上には厚さが400 nmの第2の多結晶シリコン層25aが堆積され、この多結晶シリコン層25aには高濃度にリンがドーパされる。前記多結晶シリコン層25aの上にはコンタクトホール形成時にエッチングのストッパーとなる膜、例えば厚さが200 nmの第1のシリコン窒化膜26aが堆積される。

【0020】この後、前記シリコン窒化膜26a、第1、第2の多結晶シリコン層23a、25a及びONO絶縁膜24それぞれはパターンニングされる。これにより、2層ゲートが形成される。即ち、前記ゲート酸化膜22の上には浮遊ゲート23がセルフアライメントに形成され、この浮遊ゲート23の上にはONO絶縁膜24を介してコントロールゲート電極25がセルフアライメントに形成される。このコントロールゲート電極25の上にはキャップ用シリコン窒化膜26が形成される。

【0021】次に、前記キャップ用シリコン窒化膜26をマスクとして不純物がイオン注入されることにより、前記P型シリコン基板21の表面には自己整合的にN型ドレイン拡散層27およびN型ソース拡散層28が形成される。

【0022】この後、前記浮遊ゲート23、ONO絶縁膜24及びコントロールゲート電極25それぞれの側壁、P型シリコン基板21の上には熱酸化により厚さが20 nm程度の第1のシリコン酸化膜29が設けられる。この場合、このシリコン酸化膜29は、熱酸化によ

7

面にはほとんど形成されない。

【0023】前記シリコン酸化膜29の上及び側壁には厚さが10nmの第2のシリコン窒化膜36が設けられ、このシリコン窒化膜36の上及び側壁にはCVD法により厚さが6nmの第2のシリコン酸化膜37が設けられる。このシリコン酸化膜37の上及び側壁、キャップ用シリコン窒化膜26の上には厚さが200nmの第3のシリコン窒化膜30が設けられる。このシリコン窒化膜30は、エッチバックされることにより、第2のシリコン酸化膜37の側壁に形成される。この後、このシリコン窒化膜30、キャップ用シリコン窒化膜26及びP型シリコン基板21の上には層間絶縁膜31が堆積される。

【0024】次に、前記層間絶縁膜31の上には図示せぬレジスト膜が設けられる。このレジスト膜をマスクとするとともに第3のシリコン窒化膜30をエッチングのストッパーとして、前記層間絶縁膜31には前記N型ドレイン拡散層27の上に位置するドレインコンタクトホール31aが自己整合的に形成される。この際、エッチングの条件を最適化すると、層間絶縁膜31はエッチングされるが、第3のシリコン窒化膜30はエッチングされないという状態を実現することができる。このような条件でエッチングすると、第3のシリコン窒化膜30がエッチングのストッパーとして働くので、セルフアライン構造が実現され、コントロールゲートや浮遊ゲートにコンタクトホールが接触するおそれはない。すなわち、前記ドレインコンタクトホール31aの位置がずれたり、コンタクトホール31aが大きくなった場合でも、コンタクトホール31aとゲート電極23、25がショートする危険がなくなり、いわゆるセルフアラインゲート構造が実現される。

【0025】この後、このドレインコンタクトホール31aの内には低抵抗のWからなるコンタクトプラグ32が埋め込まれる。次に、このコンタクトプラグ32及び層間絶縁膜31の上には金属配線層38が設けられる。

【0026】上記第1の実施例によれば、第2のシリコン窒化膜36と第3のシリコン窒化膜30との間に第2のシリコン酸化膜37を設けている。したがって、浮遊ゲート23に電子が注入されている場合に、コンタクトプラグ12に正の電圧が印加され、第3のシリコン窒化膜30にコンタクトプラグ32からホールが注入され、このホールが第3のシリコン窒化膜30にトラップされても、第2のシリコン酸化膜37により前記ホールの第2のシリコン窒化膜36への注入をブロックすることができる。この結果、浮遊ゲート3を取り囲む第1のシリコン酸化膜29にかかる電界を下げるができるため、浮遊ゲート3に注入されている電子が放出されることない。即ち、この電子が浮遊ゲートから喪失することを防止することができる。

8

現しているため、高密度の不揮発性半導体装置を実現することができる。上記第1の実施例において、第1のシリコン酸化膜29の厚さが20nm以上である場合は、第2のシリコン酸化膜37の厚さを3nm以上とすれば、上述したような効果を得ることができる。すなわち、第1のシリコン酸化膜29の厚さが20nm以上であれば、浮遊ゲート23に注入されている電子が第1のシリコン酸化膜29から放出されるのを防止することができる。このため、第2のシリコン酸化膜37は、第3のシリコン窒化膜30にトラップされているホールが第2のシリコン窒化膜36に注入されるのをブロックするのみでよいから、3nm以上の厚さがあれば足りる。

【0028】また、第1のシリコン酸化膜29の厚さが20nm未満である場合は、第2のシリコン酸化膜37の厚さを5nm以上とすれば、上述したような効果を得ることができる。すなわち、第1のシリコン酸化膜29の厚さを20nm未満とすると、第1のシリコン酸化膜29においては、多結晶シリコン層を酸化することにより形成されたものであるから、欠陥密度が大きくなる。このため、第1のシリコン酸化膜29の欠陥から浮遊ゲート23に注入されている電子が放出されることがあるから、第2のシリコン酸化膜37の厚さを5nm以上とする必要がある。この理由は、この第2のシリコン酸化膜37でホール注入をブロックするだけでなく、浮遊ゲート23からの電子の放出を防止する必要があるからである。

【0029】尚、上記第1の実施例では、シリコン酸化膜29の側壁に第2のシリコン窒化膜36を設け、このシリコン窒化膜36の側壁に第2のシリコン酸化膜37を介して第3のシリコン窒化膜30を設けているが、シリコン酸化膜29の側壁に他の材料の膜を設け、この膜の側壁に第2のシリコン酸化膜37を介して他の材料の膜を設けることも可能である。この場合、前記他の材料の膜は、窒化膜と同様にトラップ準位を多く含み、例えば低電界状態でのリーク電流がシリコン酸化膜より大きいものであれば良く、このときはシリコン窒化膜30、37の場合と同様の現象が起こる。したがって、この場合に同様の目的でこの発明を適用できる事は当然である。

【0030】図2は、この発明の第2の実施例による不揮発性半導体記憶装置を示す断面図であり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0031】シリコン窒化膜30、第2のシリコン酸化膜37、キャップ用シリコン窒化膜26及びP型シリコン基板21の上には薄い第4のシリコン窒化膜41が設けられ、このシリコン窒化膜41の上には層間絶縁膜31が堆積される。

【0032】次に、前記層間絶縁膜31の上には図示せ

するとともに第4のシリコン窒化膜41をエッチングのストッパーとして、前記層間絶縁膜31には前記N型ドレイン拡散層27の上に位置するドレインコンタクトホール31aが自己整合的に設けられる。

【0033】この後、このドレインコンタクトホール31aにより露出している第4のシリコン窒化膜41はエッチング除去される。前記ドレインコンタクトホール31aの内には低抵抗のWからなるコンタクトプラグ32が埋め込まれる。

【0034】上記第2の実施例においても第1の実施例と同様の効果を得ることができる。また、上記第1の実施例では、ドレインコンタクトホール31aが所定の位置からずれた場合、このコンタクトホール31aを形成する際のエッチングにより第2のシリコン酸化膜37もエッチングされ、このシリコン酸化膜37に沿ってスリットが入るおそれがある。これは、通常、層間絶縁膜31にはシリコン酸化膜が用いられており、上記の層間絶縁膜31のエッチングは、シリコン酸化膜がエッチングされ、シリコン窒化膜がエッチングされないような条件で行われるためである。しかし、上記第2の実施例では、このようなスリットが入ることを防止することができる。

【0035】すなわち、シリコン窒化膜30、キャップ用シリコン窒化膜26及びP型シリコン基板21の上に第4のシリコン窒化膜41を設けているため、ドレインコンタクトホール31aが所定の位置からずれた場合でも、このコンタクトホール31aを形成する際のエッチングにより第2のシリコン酸化膜37がエッチングされ

ることはない。

#### 【0036】

【発明の効果】以上説明したようにこの発明によれば、第1のシリコン窒化膜と第2のシリコン窒化膜との間に第2のシリコン酸化膜を設けている。したがって、2層ゲートの極めて近傍にコンタクトホールを形成する場合、このコンタクトホールと2層ゲートとが短絡しないようなセルフアラインとなる構造であって、長時間、装置を動作させ、電子を保持ても、この電子が浮遊ゲートから喪失することを防止することができる。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施例による不揮発性半導体記憶装置を示す断面図。

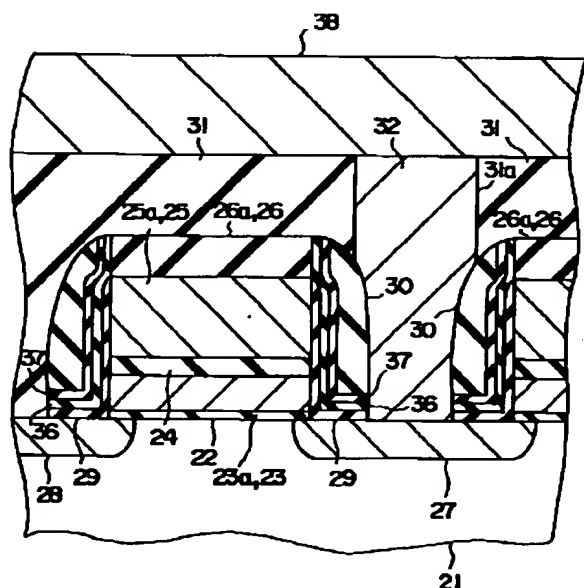
【図2】この発明の第2の実施例による不揮発性半導体記憶装置を示す断面図。

【図3】従来の不揮発性半導体記憶装置を示す断面図。

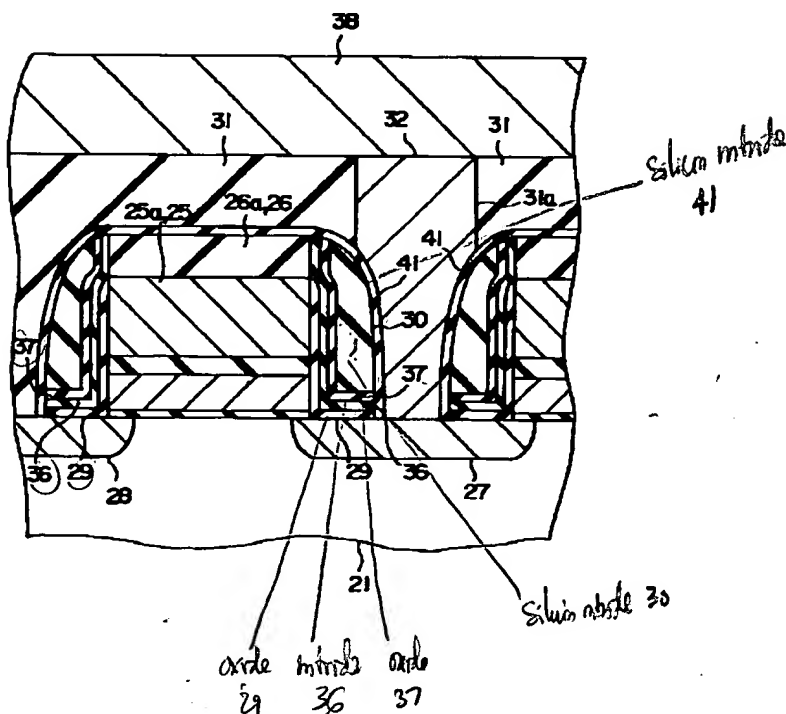
#### 【符号の説明】

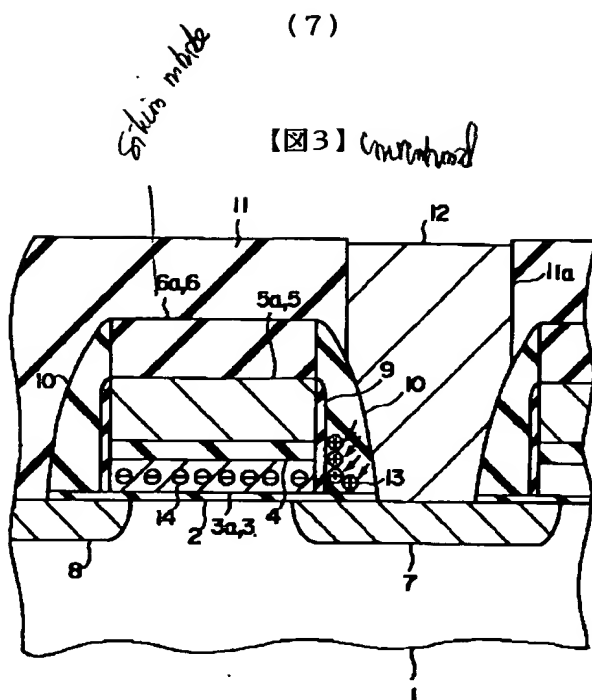
21…P型シリコン基板、22…ゲート酸化膜、23…浮遊ゲート、23a…第1の多結晶シリコン層、24…ONO絶縁膜、25…コントロールゲート電極、25a…第2の多結晶シリコン層、26…キャップ用シリコン窒化膜、26a…第1のシリコン窒化膜、27…N型ドレイン拡散層、28…N型ソース拡散層、29…第1のシリコン酸化膜、30…第3のシリコン窒化膜、31…層間絶縁膜、31a…ドレインコンタクトホール、32…コンタクトプラグ、36…第2のシリコン窒化膜、37…第2のシリコン酸化膜、38…金属配線層、41…第4のシリコン窒化膜。

【図1】



【図2】





フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H01L 21/768

識別記号 庁内整理番号 FI

技術表示箇所

DERWENT-ACC-NO: 1995-258743

DERWENT-WEEK: 199534

\~4~COPYRIGHT 1999 DERWENT INFORMATION LTD\~14~

TITLE: Non-volatile semiconductor memory e.g. LSI EEPROM - has contact plugs

embedded into drain contact holes in insulating film

INVENTOR-NAME:

PRIORITY-DATA: 1993JP-0305144 (December 6, 1993)

PATENT-FAMILY:

PUB-NO PUB-DATE

LANGUAGE

PAGES MAIN-IPC

JP 07161848 A June 23, 1995

N/A

007

H01L 021/8247

INT-CL (IPC): H01L021/768; H01L021/8247 ; H01L029/788 ;  
H01L029/792

ABSTRACTED-PUB-NO: JP07161848A

BASIC-ABSTRACT: The memory has a two layered gate present on a silicon

substrate (21). The two layers of gate are, a control gate electrode (25) and

a floating gate (23). A first silicon nitride film (29) is present on the side

walls of the two gate electrodes. A second silicon nitride film (36) is

provided on the side wall of silicon oxide film, this in turn is layered by a

second silicon oxide film (37). The second silicon oxide film on its side wall

portion is layered with a third silicon nitride film (30). An inter-layer

insulating film (31) is provided on the third silicon nitride film. A set of

drain control holes (31a) are formed in the insulating film and embedded with a

set of contact plugs (32) individually.

ADVANTAGE - Inhibits loss of electrons from floating gate.

ABTX:

The memory has a two layered gate present on a silicon substrate (21). The two

layers of gate are, a control gate electrode (25) and a floating gate (23). A

first silicon nitride film (29) is present on the side walls of the two gate

electrodes. A second silicon nitride film (36) is provided on the side wall of



silicon oxide film, this in turn is layered by a second silicon oxide film (37). The second silicon oxide film on its side wall portion is layered with a third silicon nitride film (30). An inter-layer insulating film (31) is provided on the third silicon nitride film. A set of drain control holes (31a) are formed in the insulating film and embedded with a set of contact plugs (32) individually.

CLIPPEDIMAGE= JP407161848A  
PAT-NO: JP407161848A  
DOCUMENT-IDENTIFIER: JP 07161848 A  
TITLE: NONVOLATILE SEMICONDUCTOR MEMORY

PUBN-DATE: June 23, 1995

INVENTOR-INFORMATION:  
NAME  
MORI, SEIICHI

ASSIGNEE-INFORMATION:  
NAME  
TOSHIBA CORP

COUNTRY
N/A

APPL-NO: JP05305144  
APPL-DATE: December 6, 1993

INT-CL(IPC): H01L021/8247; H01L029/788 ; H01L029/792 ;  
H01L021/768

ABSTRACT:  
PURPOSE: To prevent electrons from losing from a floating gate when a contact hole is formed in the extreme vicinity of a double layer gate by providing a second silicon oxide film between a first silicon nitride film and a second silicon nitride film.

CONSTITUTION: A double layer gate is provided on the surface of a p type silicon substrate 21, and on a sidewall thereof a second silicon nitride film 36 and a third silicon nitride film 30 are provided. Further, in between them, a silicon oxide film 37 is provided. Hence, when electrons are injected to a floating gate, positive voltage is impressed on a contact plug 12, and holes are injected from a contact plug 32 to the third silicon nitride film 30 so that even if holes are trapped in the third silicon nitride film 30, injection of holes to the second silicon nitride film 36 can be blocked by the second silicon oxide film 37. As a result, an electric field covering a first silicon oxide film 29 surrounding the floating gate 3 can be lowered,

making it  
possible to prevent electrons from being released.

COPYRIGHT: (C) 1995, JPO